

DIALOG(R)File 347:JAPIO

(c) 2006 JPO & JAPIO. All rts. reserv.

03496274      \*\*Image available\*\*

**LIQUID CRYSTAL DISPLAY DEVICE**

**PUB. NO.:**            **03-159174 [JP 3159174 A]**

**PUBLISHED:**        July 09, 1991 (19910709)

**INVENTOR(s):**    YOSHIDA YUKIHISA  
                         ANADA KOJI  
                         IIZUKA KOJI

**APPLICANT(s):** SANYO ELECTRIC CO LTD [000188] (A Japanese Company or  
Corporation), JP (Japan)

**APPL. NO.:**        01-298327    [JP 89298327]

**FILED:**            November 16, 1989 (19891116)

**INTL CLASS:**     [5] H01L-029/784; G02F-001/136

**JAPIO CLASS:**    42.2 (ELECTRONICS -- Solid State Components); 29.2  
(PRECISION INSTRUMENTS -- Optical Equipment); 44.6 (COMMUNICATION --  
Television)

**JAPIO KEYWORD:** R011 (LIQUID CRYSTALS); R096 (ELECTRONIC  
MATERIALS -- Glass Conductors)

**JOURNAL:**        Section: E, Section No. 1119, Vol. 15, No. 394, Pg. 65,  
October 07, 1991 (19911007)

**ABSTRACT**

**PURPOSE:** To reduce wiring resistance of a selective electrode and to form a TFT of low height by burying the electrode and a gate electrode in a groove formed on an insulating film on a glass board.

**CONSTITUTION:** An insulating film 13 formed on a glass board 12, a gate electrode 16 and a groove 14 formed on the film 13 of a part formed with a selection electrode 15 continued to the electrode 16, conductors for forming the electrodes 16, 15 buried in the groove 14, a gate insulating film 17 formed on the electrode 16 and an amorphous silicon layer 18 formed on the film 17 are provided. For example, an SiO (sub 2) insulating film 13 is formed about 3000 angstroms thick on the board 12 by a CVD method, and the electrodes 15, 16 are buried in the groove 14 formed on the film 13 by photolithography. The upper surfaces of the electrodes 15, 16 substantially coincide with the surface of the film 13 to form a flat surface.

**Family list**

**1** family member for:

**JP3159174**

Derived from 1 application.

**1 LIQUID CRYSTAL DISPLAY DEVICE**

Publication info: **JP3159174 A** - 1991-07-09

---

Data supplied from the *esp@cenet* database - Worldwide

⑩ 日本国特許庁(JP)

⑪ 特許出願公開

⑫ 公開特許公報(A)

平3-159174

⑬ Int.Cl.<sup>3</sup>

識別記号

庁内整理番号

⑭ 公開 平成3年(1991)7月9日

H 01 L 29/784  
G 02 F 1/136

5 0 0

9018-2H  
9056-5F

H 01 L 29/78

3 1 1 G

審査請求 未請求 請求項の数 2 (全3頁)

⑮ 発明の名称 液晶表示装置

⑯ 特 願 平1-298327

⑰ 出 願 平1(1989)11月16日

⑱ 発 明 者	吉 田 恭 久	大阪府守口市京阪本通2丁目18番地	三洋電機株式会社内
⑱ 発 明 者	穴 田 幸 治	大阪府守口市京阪本通2丁目18番地	三洋電機株式会社内
⑱ 発 明 者	飯 塚 浩 司	大阪府守口市京阪本通2丁目18番地	三洋電機株式会社内
⑲ 出 願 人	三洋電機株式会社	大阪府守口市京阪本通2丁目18番地	
⑳ 代 理 人	弁理士 西野 卓嗣	外2名	

明 細 書

1. 発明の名称

液晶表示装置

2. 特許請求の範囲

(1) ガラス基板上に設けられた絶縁膜と、

ゲート電極及び該ゲート電極に連続する選択電極が形成される部分の前記絶縁膜に形成された溝と、

該溝に埋め込まれ前記ゲート電極及び選択電極を形成する導電体と、

前記ゲート電極上に形成されたゲート絶縁膜と、

該ゲート絶縁膜上に形成されたアモルファスシリコン層と、

を具備した液晶表示装置。

(2) 前記溝に埋め込まれた導電体が前記絶縁膜と略同じ厚さであることを特徴とする請求項第1項記載の液晶表示装置。

3. 発明の詳細な説明

(イ) 産業上の利用分野

本発明は、絶縁ゲート型薄膜トランジスタ(以下TFTという)を用いたアクティブマトリクス型の液晶表示装置に関する。

(ロ) 従来の技術

近年、TFTを用いた高密度のTV用液晶表示装置が開発され、表示画面の大型化と共に画素数の増大が図られている。

第2図は従来のTFTを用いた液晶表示装置の断面図である。図において、ガラス基板(1)上の全面にはシリコン酸化物の絶縁膜(2)が形成され、絶縁膜(2)上にクロム等の導電体からなるゲート電極(3)及びゲート電極(3)と連続する選択電極(図示せず)が一体に形成される。更に、ゲート電極(3)を覆って全面にゲート絶縁膜(4)が形成され、この上にアモルファスシリコン(5)、保護絶縁膜(6)、及び、N<sup>+</sup>型不純物がドーブされたアモルファスシリコンからなるドレイン(7)及びソース(8)が設けられ、更に、ドレイン(7)に接続されたアルミニウムの表示電圧供給線(9)とソース(8)を画素電極(10)に接続するアルミニウム

の接続電極(11)が形成される。

このようにTFTの設けられたガラス基板(1)上にポリイミド配向膜の塗布、ラビングによる配向処理、ガラス基板(1)の周辺のシール及び液晶の注入によって液晶表示装置が完成する。

第2図の液晶表示装置において、選択電極に選択電圧を印加するとTFTがオンして表示電圧供給線(9)に印加された表示電圧が画素電極(10)に充電され、表示がなされる。

このような液晶表示装置は、特開平1-136123号公報に記載されている。

(ハ)発明が解決しようとする課題

第2図に示された液晶表示装置においては、絶縁膜(2)上にゲート電極(3)、ゲート絶縁膜(4)、アモルファスシリコン(5)、ドレイン(7)及びソース(8)、表示電圧供給線(9)及び接続電極(11)が積層されるため、段差部のステップカバレッジが悪化し、各層間のショートが発生する危険がある。そこで、ゲート電極(3)及び選択電極にタンタルを使用し、その表面に陽極酸化によって緻密な絶

縁膜と、該ゲート絶縁膜上に形成されたアモルファスシリコン層とを具備することにより、選択電極の配線抵抗を低下させ、TFTの高さを低く形成することのできる液晶表示装置を提供するものである。

(ホ)作用

上述の手段によれば、ガラス基板上の絶縁膜に設けられた溝は、選択電極及びゲート電極を埋め込み、選択電極の厚さを厚く形成することを可能にし、その結果、配線抵抗を減少するよう作用し、更に、ゲート電極の厚さが厚くなっても、TFTの高さを低くするように作用する。

(ヘ)実施例

第1図(a)(b)は、本発明の実施例を示す断面図であり、第1図(a)は選択電極部の断面図、第1図(b)はTFT部の断面図である。

第1図(a)(b)において、ガラス基板(12)の一主面上にCVD法等によって3000Å程度の厚さにSiO<sub>2</sub>の絶縁膜(13)が設けられ、更に、この絶縁膜(13)にはフォトリソによって形成された溝(1

4)を形成してゲート電極(3)とドレイン(7)及びソース(8)のショートを防止する技術が提案されている。しかしながら、大画面高密度になると選択電極の幅が狭くなると共に配線長が長くなるために、その電気抵抗が大きくなり、特に、ゲート電極(3)及び選択電極を電気抵抗の大きいタンタルで形成した場合には、抵抗の増大は顕著になる。

また、第2図の液晶表示装置のTFTは、その高さが高くなり、ガラス基板をシールする際にその間隙を一定に保持するために入れるピラーがTFT上に存在すると間隙がバラついてしまう欠点があった。

(ニ)課題を解決するための手段

本発明は、上述した点に鑑みて創作されたものであり、ガラス基板上に設けられた絶縁膜と、ゲート電極及び該ゲート電極に接続する選択電極が形成される部分の前記絶縁膜に形成された溝と、該溝に埋め込まれ前記ゲート電極及び選択電極を形成する導電体と、前記ゲート電極上に形成され

4)が設けられる。この溝(14)内には選択電極(15)及びゲート電極(16)が埋め込まれ設けられる。ここで、選択電極(15)及びゲート電極(16)は、溝(14)を形成したフォトリソを残した状態で、Crをスputタリング法によって絶縁膜(13)と略同じ厚さに付着し、フォトリソを除去するリフトオフ法により形成される。従って、選択電極(15)とゲート電極(16)の上面は、絶縁膜(13)の表面と略一致し、平坦面を形成している。また、選択電極(15)は並行に複数配置され、各選択電極(15)から突出してゲート電極(16)が一体化されている。

そして、第1図(b)に示すごとく、ゲート電極(16)上には、3000Åの厚さのシリコン窒化物(SiN<sub>x</sub>)からなるゲート絶縁膜(17)と、チャンネル領域となる2000Åの厚さのアモルファスシリコン(a-Si)層(18)と、N<sup>+</sup>不純物のドーブされた500Åの厚さのアモルファスシリコン(N<sup>+</sup>a-Si)からなるドレイン(20)及びソース(21)が設けられる。これらゲート絶縁膜(17)と、アモルファスシリコン(a-Si)層(18)と、N<sup>+</sup>

a-Siは、プラズマCVD法によって連続して積層され、ゲート電極(16)上のTFTが形成される部分のみを残しその他をエッチング除去することによって形成される。

更に、選択電極(15)と直交してAlで形成された表示電圧供給線(22)がドレイン(20)に重畳して設けられ、ソース(21)と重畳してAlで形成された接続電極(23)が設けられる。ドレイン(20)とソース(21)は、表示電圧供給線(22)と接続電極(23)をマスクとしてN<sup>+</sup>a-Siをエッチング除去することによって形成される。ITOからなる画素電極(24)はその一部が接続電極(23)に重畳されて設けられ、TFTのソース(21)に接続される。更に、シリコン窒化膜のパッシベーション膜(25)がTFTを覆って設けられる。

第1図(a)(b)の構造によると、選択電極(15)は、比較的厚く形成されるため、その線幅が狭くなっても配線抵抗は十分低くなる。また、選択電極(15)と一体的に構成されたゲート電極(16)と絶縁膜(13)の段差がなくなるために、ゲート電極(1

接続電極、(24)…画素電極、(25)…パッシベーション膜。

6)とドレイン(20)及びソース(21)とのショートがなくなり、更に、表示電圧供給線(22)や接続電極(23)の断線が防止できる。

尚、第1図(a)(b)の実施例では、選択電極(15)及びゲート電極(16)は、Crで形成したが、Taを使用しその表面を陽極酸化した構造にしてもよい。

#### (ト)発明の効果

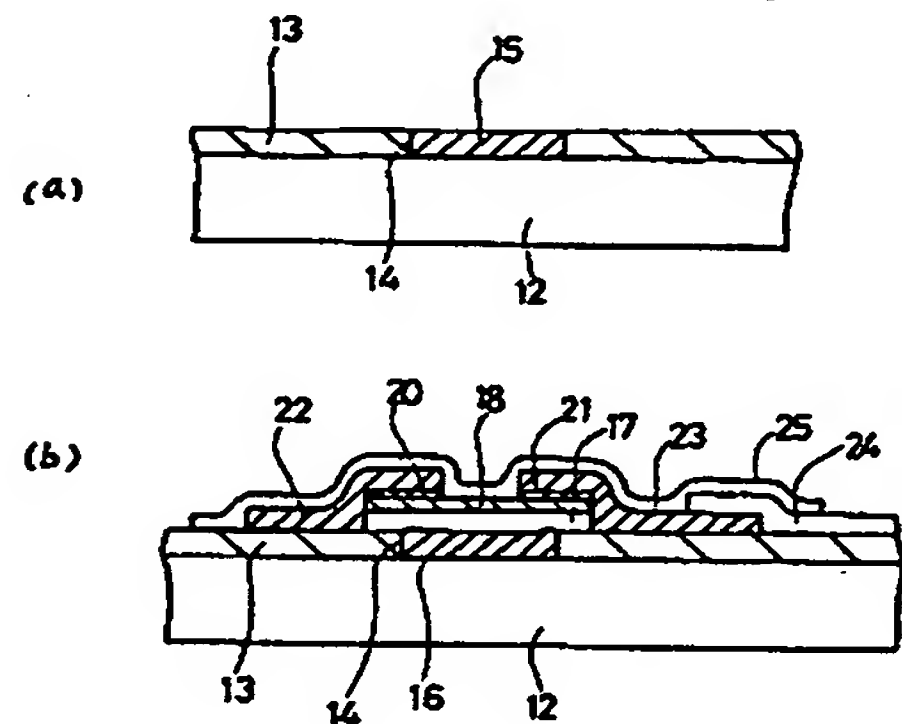
本発明によれば、選択電極の配線抵抗を小さくできるので、動作速度が早く、高密度の液晶表示装置が実現できる。また、TFT全体の高さを低くできるので、ピラーによる間隙の制御が正確に行え、表示品質の向上となる利点がある。

#### 4. 図面の簡単な説明

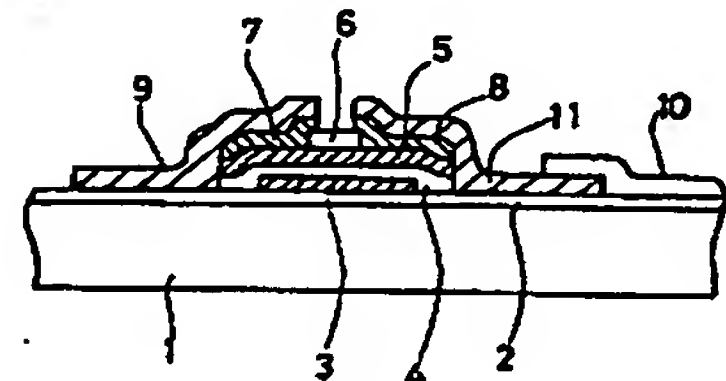
第1図(a)(b)は、本発明の実施例を示す断面図、第2図は従来例を示す断面図である。

(12)…ガラス基板、(13)…絶縁膜、(14)…溝、(15)…選択電極、(16)…ゲート電極、(17)…ゲート絶縁膜、(18)…a-Si層、(20)…ドレイン、(21)…ソース、(22)…表示電圧供給線、(23)…接

第1図



第2図



出願人 三洋電機株式会社  
代理人 弁理士 西野卓嗣 外2名